

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-129637

(43)Date of publication of application : 19.05.1995

(51)Int.Cl.

G06F 17/50

(21)Application number : 05-279253

(71)Applicant : HITACHI LTD

(22)Date of filing : 09.11.1993

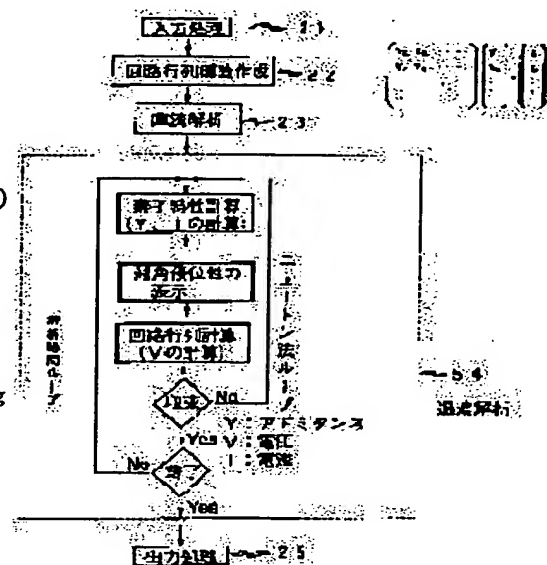
(72)Inventor : NAKANO TADASHI
YOKOMIZO KOICHI

(54) CIRCUIT SIMULATION METHOD

(57)Abstract

PURPOSE: To easily judge divergence due to rounding errors by providing a function for discriminating the ratio of the maximum values of the diagonal element and non-diagonal element of a circuit matrix by values and displaying the diagonal superiority of the circuit matrix by sorting the cases with the values.

CONSTITUTION: A circuit simulator is composed of the input part and output part of data, a circuit matrix structure preparation part, an element characteristic calculation part and a circuit matrix calculation part. In this case, the input processing of circuit data is performed (21.) Then, a circuit matrix structure is prepared (22.) Then, DC analysis at analysis time (t)=0 is performed (23.) A nonlinear element is solved by using a Newton method. Then, the calculation of element characteristics and the calculation of the circuit matrix are performed until a Newton method loop is converged. Further, transient analysis is performed while advancing the analysis time and after the element characteristic calculation of the transient analysis, the diagonal superiority of the circuit matrix is displayed (54.) The element including the differentiation of a capacitance and an inductor, etc., is solved by using numerical integration. Then, the circuit characteristics of a voltage waveform or the like are outputted (25).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 2 9 6 3 7

(43) 公開日 平成 7 年 (1995) 5 月 19 日

(51) Int. Cl.⁶
G06F 17/50

識別記号

庁内整理番号

F I

技術表示箇所

7623-5L

G06F 15/60

360

D

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平 5 - 2 7 9 2 5 3

(22) 出願日 平成 5 年 (1993) 11 月 9 日

(71) 出願人 0 0 0 0 0 5 1 0 8

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 中野 紀

東京都国分寺市東恋ヶ窪 1 丁目 2 8 0 番地

株式会社日立製作所中央研究所内

(72) 発明者 横溝 剛一

東京都国分寺市東恋ヶ窪 1 丁目 2 8 0 番地

株式会社日立製作所中央研究所内

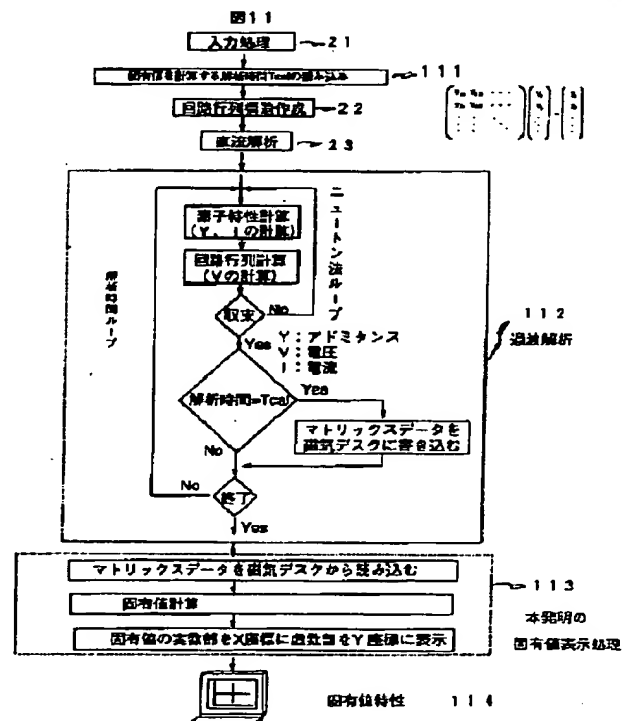
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 回路シミュレーション方法

(57) 【要約】

【構成】 修正節点解析法を用いる回路シミュレータにおいて、回路行列の対角優位性を表示する処理を設定し、固有値分布を表示する処理を設定する。

【効果】 行列計算の行番号のつけ方による丸め誤差の影響が明確になり、解析の発散を防止することが可能となる。また、削除可能な相互コンダクタの上限値を求めることが可能となる。



【特許請求の範囲】

【請求項 1】修正節点解析法を用いた回路シミュレーション方法において、回路行列の対角優位性を表示する機能を設けたことを特徴とする回路シミュレーション方法。

【請求項 2】修正節点解析法を用いた回路シミュレーション方法において、回路行列の固有値を表示する機能を設けたことを特徴とする回路シミュレーション方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は電子回路のシミュレーション方法に係り、特に、修正節点解析法における回路の収束性を判断するための表示方法に関する。

【 0 0 0 2 】

【従来の技術】従来から電子回路、とりわけ L S I の設計では、設計した回路の電気的特性を詳細に解析するため、S P I C E 2 (Univ. of California, Berkeley, Memo No. ERL-M520, May 1975) に代表されるような回路シミュレータが活用されている。回路シミュレータは、トランジスタ、ダイオード、抵抗、容量、インダクタ等の回路素子を基本要素とする回路を対象として、キルヒホッフの法則とオームの法則から定式化されている回路解析手法とニュートン法や数値積分法等の数値解析手法を用いて、L S I の電圧電流レベルの電気的特性を電子計算機上でシミュレーションするためのソフトウェアプログラムである。回路シミュレータで一般に用いられている回路解析手法は修正節点解析法といい、節点電圧に加えて、電圧源とインダクタを流れる電流も未知数にして回路方程式を作成する手法である。修正節点解析法については、文献 (Univ. of California, Berkeley, Memo No. ERL-M520, May 1975) において論じられている。

【 0 0 0 3 】

【発明が解決しようとする課題】L S I の大規模化と高速化により、回路シミュレータの取扱規模の拡大のみならず、各種の問題点が顕在化し対策を必要としている。その一つとして、発散の問題がある。これは、非線形方程式を解くためのニュートン法が収束しなくなる現象で、経験的に大規模回路、非線形性の強い回路、インダクタ及び相互コンダクタの多い回路で発生しやすいことが知られている。

【 0 0 0 4 】回路解析の収束性を決定する要因は以下の四項目があると考えられる。

【 0 0 0 5 】(1) 行列計算における丸め誤差 (計算機の数の表現が有限桁であるために生じる誤差) による発散

(2) 非線形特性を線形化 (ニュートン法) したことによる発散

(3) 微分方程式を離散化 (数値積分法) した誤差による発散

(4) 正帰還のために発振したことによる発散

本発明は上記の (1) と (4) を対象にしている。

【 0 0 0 6 】最初に、(1) の行列計算における丸め誤差による発散について課題を説明する。回路シミュレータでは、与えられた回路を修正節点解析法を用いて定式化した回路方程式を行列で表現し、L U 分解、前進代入、後退代入の三つの処理からなる行列計算により、未知数 (節点電圧、電圧源の電流、インダクタの電流) を求める方法が広く採用されている。回路がインダクタを含む場合、直流解析において対角要素が 0 になる行が生じる。L U 分解処理には対角要素で非対角要素を割るという処理があるため、このままでは 0 で割ることになり計算できなくなる。

【 0 0 0 7 】通常の行列計算は各行において最大の絶対値を持つ要素を対角要素に移動しながら計算する (これをピボットティングとよぶ) ので問題はない。しかし、回路シミュレータでは非常に多くの回数について行列計算を実施するため、ピボットティングをしないのが普通である。そこで、対角要素に 0 要素がこないようにあらかじめ行を交換しておくこと (以後、行交換処理とよぶ) が行われる。しかし、この行交換処理によって、過渡解析で回路行列の対角要素が非対角要素より小さくなるということがあった。このため、インダクタの多い回路になると、行列計算で丸め誤差の影響が生じやすくなり過渡解析に入ってすぐに発散して、処理が止まる問題があった。

【 0 0 0 8 】次に、(4) の正帰還のために発振したことによる発散についての課題を説明する。回路シミュレーションの効率化のため、比較的結合の弱い相互コンダクタを削除して回路シミュレーションを実行すると収束しないことがある。これは、相互コンダクタの削除によって、回路行列が不安定になり本来存在しない正帰還が発生し、発散が生じたと考えられる。このような発散が生じないように、削除する相互コンダクタの境界値を事前に把握することができないという問題があった。

【 0 0 0 9 】本発明の目的は多量のインダクタ及び相互コンダクタを持つ回路での発散現象を防止するための情報を提供できる回路シミュレーション方法を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】上記課題を解決するため、以下の二つの方法を発明した。(1) 修正節点解析法を用いた回路シミュレーションにおいて、回路行列の対角要素と非対角要素の最大値の比を場合分けして回路行列の対角優位性を表示する機能を設けたことを特徴とする回路シミュレーション方法。(2) 修正節点解析法を用いた回路シミュレーションにおいて、回路行列の固有値を表示する機能を設けたことを特徴とする回路シミュレーション方法。

【 0 0 1 1 】

【作用】

(1) 回路の対角優位性が増すと行列計算の丸め誤差の影響が小さくなる。そこで、回路行列の対角要素と非対角要素の最大値の比を値で場合分けして回路行列の対角優位性を表示する機能を設けることにより、丸め誤差による発散を判断し易くなる。

【 0 0 1 2 】 (2) 固有値の実数部を x 座標に、虚数部を y 座標に表示したとき、回路行列が左半面に固有値を持つことは正帰還を持つことと同一である。回路行列の固有値を表示することにより、相互コンダクタを削除したことによりどの程度正帰還が強くなったか判断することが可能となる。

【 0 0 1 3 】

【実施例】図 1 は回路シミュレータの構成である。回路シミュレータは素子定数データと結線データからなる回路データ 1 2 を入力し、電圧波形等の回路特性 1 8 を出力する。回路シミュレータはこれらデータの入力部 1 3、出力部 1 7 と回路行列構造作成部 1 4 と素子特性計算部 1 5 及び回路行列計算部 1 6 からなっている。

【 0 0 1 4 】図 2 に回路シミュレータの概略フローを示す。以下処理フローを列挙する。(1) 回路データの入力処理を行う。(2) 回路行列構造を作成する。(3) 解析時間 $t = 0$ での直流解析をする。非線形素子は図 3 に示すニュートン法を用いて解く。素子特性の計算と回路行列の計算をニュートン法ループが収束するまで行う。(4) 解析時間を進めながら過渡解析をする。容量やインダクタ等の微分を含む素子は図 4 に示す数値積分法を用いて解く。ニュートン法ループに加え、解析時間ループが終了するまで行う。(5) 電圧波形等の回路特性を出力する。

【 0 0 1 5 】図 5 は、本発明のインダクタと相互コンダクタの回路行列の対角優位性を表示する方法の一実施例を説明する構成図である。回路行列構造作成(ステップ 2 2)と直流解析(ステップ 2 3)は従来と同じ処理である。過渡解析の素子特性計算の後に回路行列の対角優位性を表示する(ステップ 5 4)。

【 0 0 1 6 】図 6 を用いて対角優位性の表示機能の概略フローを説明する。

【 0 0 1 7 】まず、回路行列の対角要素と非対角要素の最大値の比を場合分けする定数 $RC(10)$ を 1, 2, 5, 10, 20, 50, 100, 200, 500, 1000 でイニシャライズし、行数カウンタ $IRC N(11)$ を 0 でイニシャライズし、行番号 $i = 2$ から始める(ステップ 6 1)。

【 0 0 1 8 】 j 列番号の非対角要素の最大値を求め、非対角要素の最大値と対角要素の比 $RATIO$ を求める(ステップ 6 2)。

【 0 0 1 9 】比 $RATIO$ を定数 RC で 11 分類して行数カウンタ $IRC N$ にカウントする(ステップ 6 3)。

【 0 0 2 0 】比 $RATIO > 1000$ のとき行番号 i 、最大列番号 j 、対角要素、非対角要素の最大値と行数カ

ウンタ $IRC N$ を表示する(ステップ 6 5)。

【 0 0 2 1 】行番号 i をカウントアップして行番号の終りにならない限り次の行番号にいく。(ステップ 6 7)

図 7 は、インダクタ及び相互コンダクタの簡単な回路例である。図 8 は図 7 に対応する回路行列である。図 8

(a) は対角要素に $+1$ または -1 がくるように行番号を設定する場合で、インダクタの等価抵抗成分 $-RL1$ と $-RL2$ ($RL1 = L1/h = -1 * 10000000$, $RL2 = L2/h = -2 * 10000000$, h : 時間刻み) が非対角に現われ、対角要素の 1 に比べて絶対値がかなり大きいことがわかる。図 8 (b) はインダクタの等価抵抗成分 $-RL1$ と $-RL2$ が対角要素にくるように行番号を設定した場合で、対角優位性が増加して発散防止に寄与する。

【 0 0 2 2 】図 9 は、図 8 の回路行列の非対角要素の最大値の分布の表示例を示したものである。図 9 (a) は対角要素に $+1$ または -1 がくるように行番号を設定する場合で、非対角要素の値が大きい。図 9 (b) はインダクタの等価抵抗成分 $-RL1$ と $-RL2$ が対角要素にくるように行番号を設定した場合で、対角要素の値が大きくなることが明瞭にわかる。

【 0 0 2 3 】図 10 は、インダクタ数 232, 相互コンダクタ数 13022, ノード数 971 の回路の非対角要素の最大値の分布の表示例を示す。図 10 (a) の対角要素に $+1$ または -1 がくるように行番号を設定する場合に比較して、図 10 (b) のインダクタの等価抵抗成分 $-RL1$ と $-RL2$ が対角要素にくるように行番号を設定した場合の方が、比 $RATIO < 1$ 未満での行数カウンタ $IRC N$ が多く、比 $RATIO > 1000$ 以上での行数カウンタ $IRC N$ が少なく、非対角要素の値が小さく、対角優位になっていることが一目明瞭にわかる。

【 0 0 2 4 】図 11 は、本発明の請求項 2 の回路行列の固有値分布を表示する方法の一実施例を説明する概略フローである。従来の概略フロー(図 2)と比較して説明する。

【 0 0 2 5 】入力処理(ステップ 2 1)の後に、固有値を計算する解析時間 $Tcal$ を読み込む(ステップ 1 1)。

【 0 0 2 6 】回路行列構造作成(ステップ 2 2)と直流解析(ステップ 2 3)は従来と同じ処理である。

【 0 0 2 7 】解析時間が固有値を計算する時間 $Tcal$ に達したらマトリックスを磁気ディスクに書き込む(ステップ 1 1 2)。

【 0 0 2 8 】過渡解析が終了したら、マトリックスを磁気ディスクから読み込み、固有値計算をして、固有値の実数部を x 座標に虚数部を y 座標に表示する(ステップ 1 1 3)。

【 0 0 2 9 】図 12 は、本発明の回路行列の固有値分布の表示例を示した図である。(a) は、結合係数 $k \leq 0.1$ の相互コンダクタを削除した場合で、左半面に固

有値があり正帰還がある。(b)は、結合係数 $k < 0.01$ の相互コンダクタを削除した場合で、左半面に固有値がなく正帰還がない。(c)は、結合係数 $k < 1.0$ の相互コンダクタを削除した場合(すなわち、全ての相互コンダクタを削除した場合)で、やはり左半面に固有値がなく正帰還がない。

【0030】

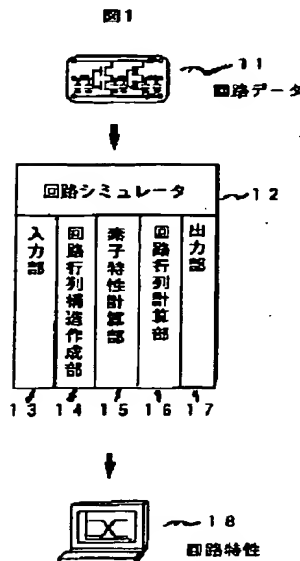
【発明の効果】本発明の回路シミュレーション方法の回路行列の対角優位性表示機能を用いることにより、行列計算の行番号のつけ方による丸め誤差の影響が明確になり、解析の発散を防止することが可能となる。また、本発明の固有値分布の表示機能を用いることにより削除可能な相互コンダクタの上限値を求めることが可能となる。

【図面の簡単な説明】

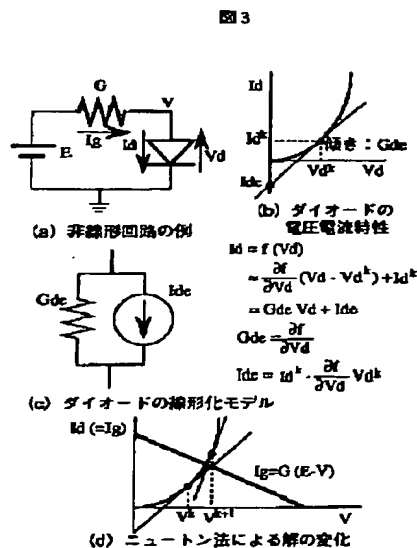
【図1】本発明のシミュレーション方式における処理要素の構成を示す説明図。

【図2】図1中の回路シミュレータの概略フローを示す説明図。

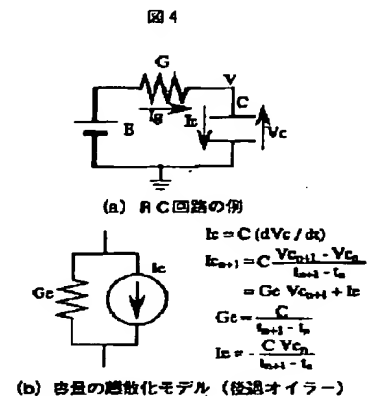
【図1】



【図3】

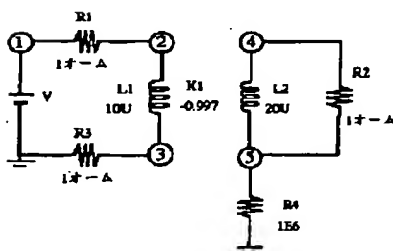


【図4】



【図7】

図7



【図3】図2中の素子特性計算の概略を示す説明図。

【図4】図2中の数値積分の概略を説明する説明図。

【図5】本発明のインダクタと相互コンダクタの回路行列の対角優位性を表示する方法の一実施例の説明図。

【図6】図5の概略フローチャート。

【図7】図6の説明を補助するのに使用する回路図。

【図8】図7の回路に対応する行列の説明を補助する説明図。

【図9】図8の回路行列に対応する行列の非対角要素の値の分布を示す説明図。

【図10】実際の大規模な回路の例に対応する行列の非対角要素の値の分布を示す説明図。

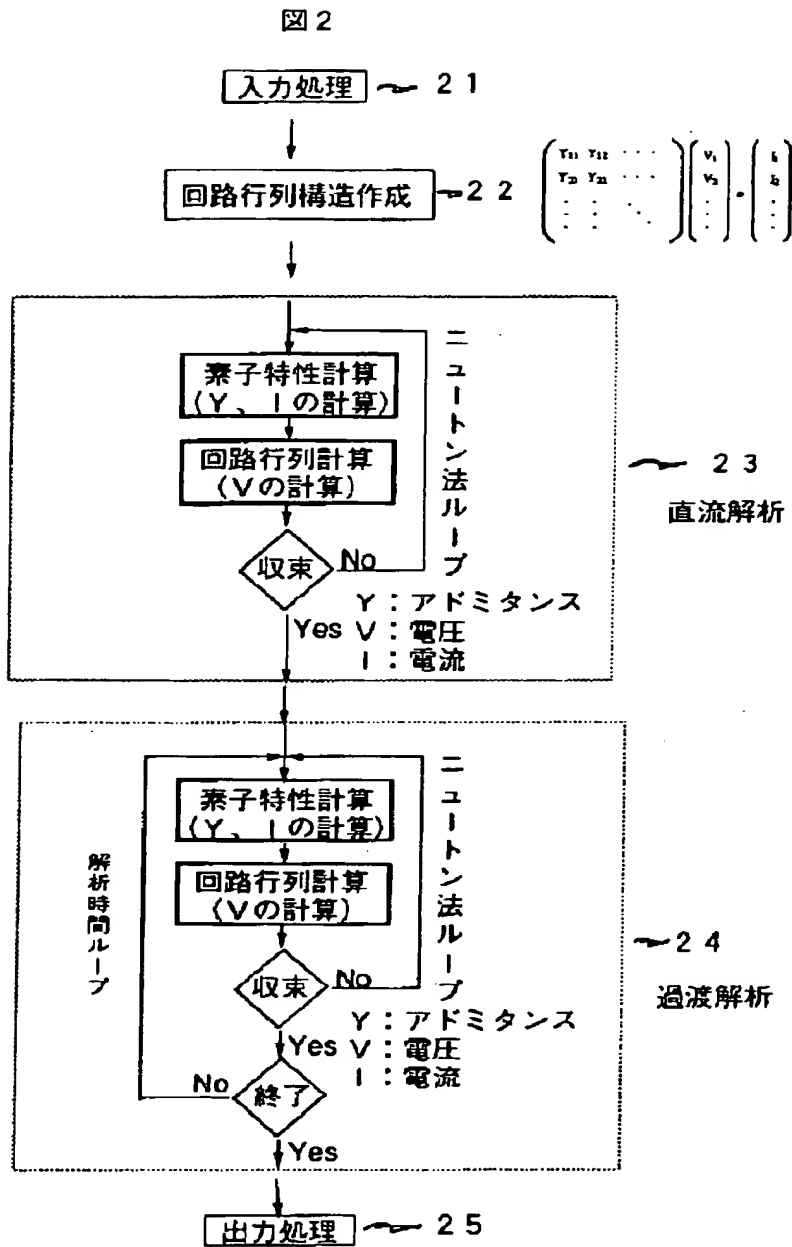
【図11】本発明のインダクタと相互コンダクタの回路行列の固有値分布を表示する方法のフローチャート。

【図12】図11の処理で固有値分布を表示した説明図。

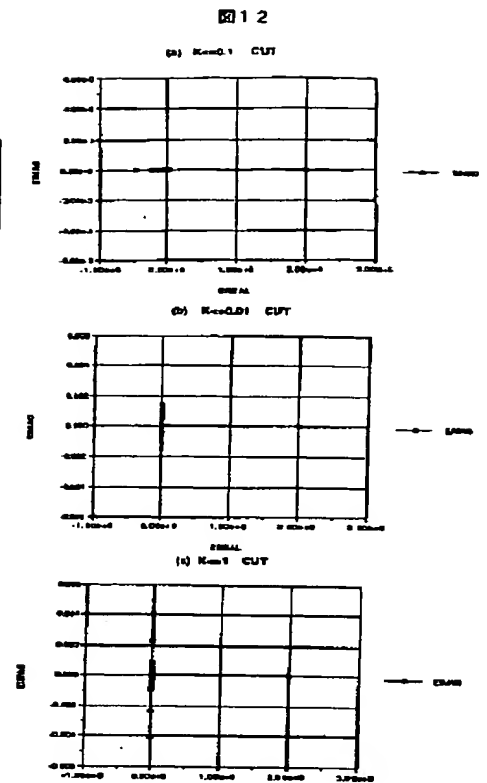
【符号の説明】

21…入力処理、23…直流解析、112…過渡解析、114…固有値特性。

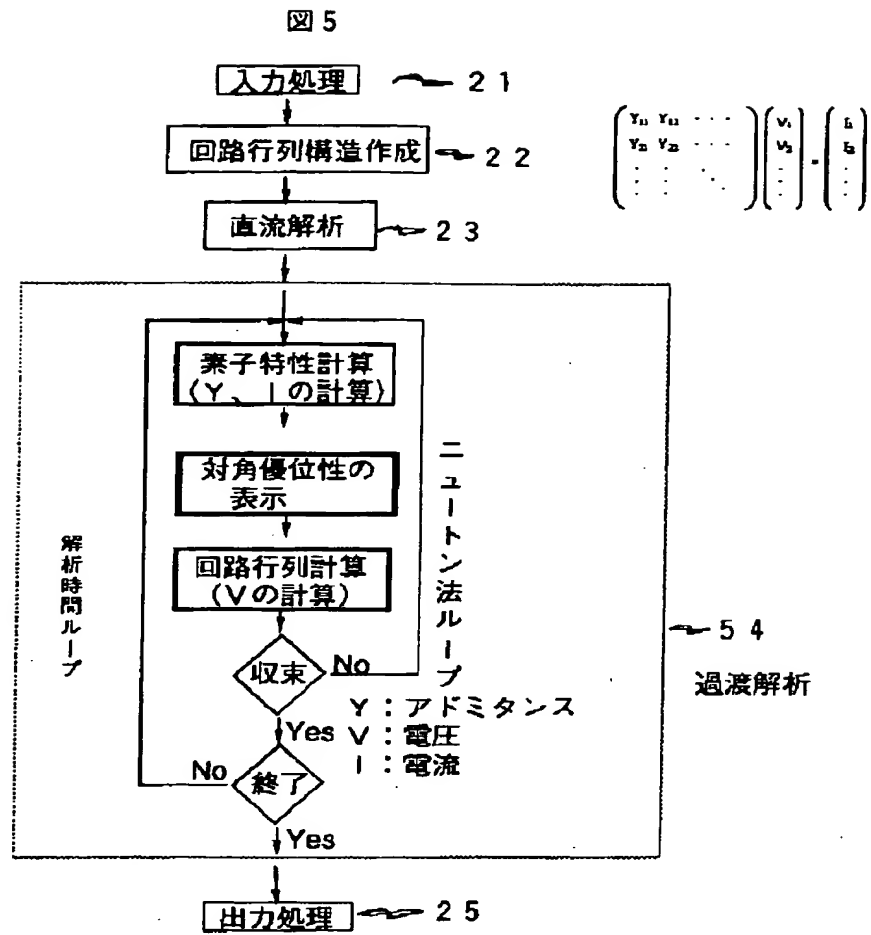
【図 2】



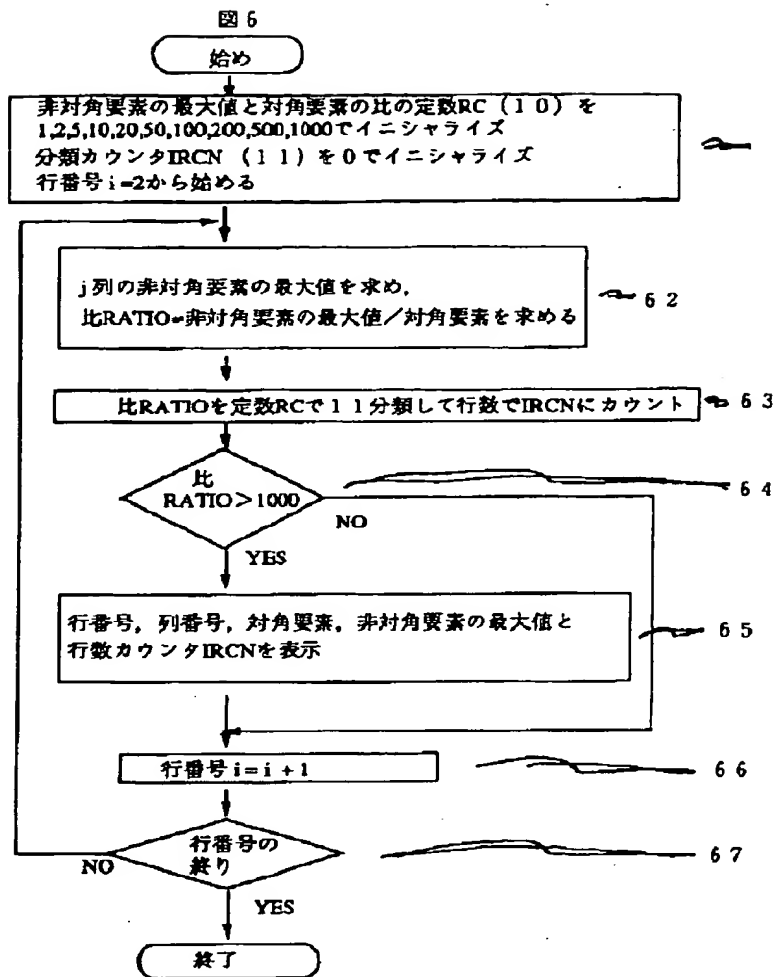
【図 12】



【 図 5 】



【図 6】



【図 9】

図 9

DISTRIBUTION		RATIO= MAX OF NON-DIAGONAL ELEMENT DIAGONAL ELEMENT										
		<1	<2	<5	<10	<20	<50	<100	<200	<500	<1000	>1000
IRCN	LOWER TRIANGLE YL	7	0	0	0	0	0	0	0	0	0	1
	UPPER TRIANGLE YU	6	0	0	0	0	0	0	0	0	0	2

(a) 対角要素に十または一がくるように行番号を設定する場合

DISTRIBUTION		RATIO= MAX OF NON-DIAGONAL ELEMENT DIAGONAL ELEMENT										
		<1	<2	<5	<10	<20	<50	<100	<200	<500	<1000	>1000
IRCN	LOWER TRIANGLE YL	7	1	0	0	0	0	0	0	0	0	0
	UPPER TRIANGLE YU	7	1	0	0	0	0	0	0	0	0	0

(b) インダクタの等価抵抗が対角要素にくるように行番号を設定する場合

【図 10】

図 10

DISTRIBUTION		RATIO= MAX OF NON-DIAGONAL ELEMENT DIAGONAL ELEMENT										
		<1	<2	<5	<10	<20	<50	<100	<200	<500	<1000	>1000
IRCN	LOWER TRIANGLE YL	1022	53	0	2	0	23	230	66	7	3	13
	UPPER TRIANGLE YU	1160	11	11	2	0	0	28	11	64	62	92

(a) 対角要素に十または一がくるように行番号を設定する場合

DISTRIBUTION		RATIO= MAX OF NON-DIAGONAL ELEMENT DIAGONAL ELEMENT										
		<1	<2	<5	<10	<20	<50	<100	<200	<500	<1000	>1000
IRCN	LOWER TRIANGLE YL	1336	64	10	0	0	0	0	0	2	0	1
	UPPER TRIANGLE YU	1395	17	20	0	0	0	0	0	0	0	1

(b) インダクタの等価抵抗が対角要素にくるように行番号を設定する場合

【 図 8 】

図 8

	1	2	3	4	5	6	7	8
1	1							
2		1	1	-1				
3			-1	1	1			
4				1	1	1		
5					1	-RL1	-1	REK
6						REK	-1	-RL2 1
7							1	-1 -1
8							-1	1 1

$RL1=1 \times 10^7$ (L1の等価抵抗)
 $RL2=2 \times 10^7$ (L2の等価抵抗)
 $REK=1.4 \times 10^7$ (K1の等価抵抗)

(a) 対角要素に十または一がくるように行番号を設定する場合
 (過渡解析の1イテレーション目)
 時間刻み $= 1.0 \times 10^{-12}$

	1	2	3	4	5	6	7	8
1	1							
2		1	1	-1				
3			-1	1	1			
4				1	1	1		
5					-1	1	1	REK
6						-RL1	1	-1
7							REK 1	-RL2 -1
8								-1 -1 1

(b) インダクタの等価抵抗が対角要素にくるように行番号を設定する場合
 (過渡解析の1イテレーション目)
 時間刻み $= 1.0 \times 10^{-12}$

【 図 1 1 】

